

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-353880  
 (43)Date of publication of application : 24.12.1999

(51)Int.Cl. G11C 11/41

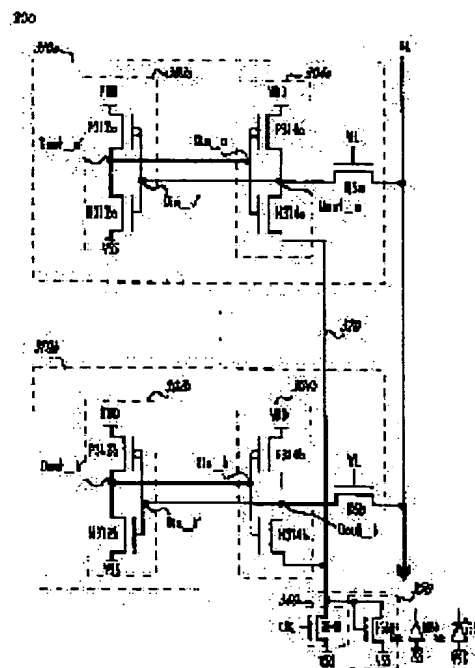
(21)Application number : 11-125702 (71)Applicant : HEWLETT PACKARD CO <HP>  
 (22)Date of filing : 06.05.1999 (72)Inventor : KEVIN TSUAN  
 DONALD R WEISS

(30)Priority  
 Priority number : 98 73670 Priority date : 06.05.1998 Priority country : US

(54) ASYMMETRIC DESIGN FOR SRAM CELL APPLIED TO HIGH-DENSITY MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a design for a single-end type SRAM cell.  
 SOLUTION: A design for a single-end type SRAM cell reduces the size of an SRAM, and it provides a high noise margin of a memory cell. A virtual ground line 320 is connected to sources of drive NFET's N314a, N314b in respective I/O port inverters 304a, 304b in respective memory cells 310a, 310b on a common bit-line column 300. An insulating mechanism 340 couples the virtual ground line 320 to a low reference voltage VSS during a readout operation and while '0' is being written into the memory cells 310a, 310b, and it insulates the virtual ground line 320 from the low reference voltage VSS while '1' is being written into the memory cells 310a, 310b. A clamp device 350 is coupled to the virtual ground line 320, it prevents the potential of the virtual ground line 320 from exceeding the threshold voltage of the insulating mechanism 340, and it prevents a value stored in one of the memory cells 310a, 310b coupled in common from being flipped when '1' is written into the memory cells 310a, 310b which are coupled in common.



LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

特開平11-353880

(43)公開日 平成11年(1999)12月24日

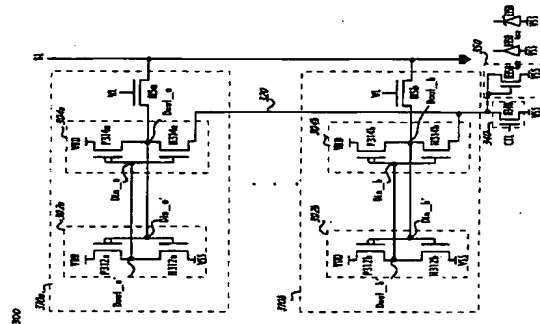
(51) Int.Cl. G11C 11/41	識別記号 G11C 11/40 B	審査請求 未請求 請求項の数 1 OL (全 9 頁)	(71) 出願人 3980305580 ヒューレット・パッカード・カンパニー HEWLETT-PACKARD COMPANY アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000 (72) 発明者 ケビン・ツァン アメリカ合衆国オレゴン州97229, ポートランド, ノース・ウエスト・トレードウィンド・ストリート・14258 (74) 代理人 弁理士 古谷 肇 (外 2 名)
(21) 出願番号 特願平11-125702	特願平11-125702		
(22) 出願日 平成11年(1999)5月6日	平成11年(1999)5月6日		
(31) 優先権主張番号 073670	073670		
(32) 優先日 1998年5月6日	1998年5月6日		
(33) 優先権主張国 米国 (US)	米国 (US)		

最終頁に続く

(54)【発明の名称】  
高密度記憶装置に適用するSRAMセルの非対象デザイン

【57】【要約】

**【課題】** シグナラド形MRAMの好マインを提供すること  
**【解決手段】** シグナラド形MRAMの好マインは、仮想接地電位を低減し、記憶セルの高レベル(300V)にある各記憶セル(310a,310b)の各I/Oポートにバンプ(304a,304b)の駆動VFET(N314,a,N314b)のワープに結合されている。絶縁機構(340)は読み取り中および記憶セル(310a,310b)に「0」を書き込み中に仮想接地電位(320)を低基準電圧(VSS)に結合し、記憶セル(310a,310b)に「1」を書き込み中に仮想接地電位(320)を低基準電圧(VSS)から絶縁する。好マイン(350)は仮想接地電圧(320)に結合され、仮想接地電位(320)の電位と絶縁機構(340)のいづれか一方を短絡することを防止し、共通に結合された配線(310a,310b)に「1」が書き込まれる際そのほかの共通に結合された記憶セル(310a,310b)のいずれかに記憶されたビット値をリセットすることを防止す。



動NFEETのしきい電圧を越えないようにする為、クランプ装置が設けられたこの機能を実行する。好適な実施態様においては、ドレイン及びゲートが仮設接地線に結合し、ソースが低基準電圧と結合するNFEETを用いてクランプ装置を実現している。

【0007】本発明によれば、1配線セルにつき1個のアクセストランジスタ、及び1カラムにつき1本のカラム線を除くことにより、高密度配線アプリケーション用SRAMアレイの面積を大幅に節約できると同時に、設計者にとっては個々の配線セル中の2個のインパータのトリガポイントと調節できるという利点が生まれ、更に、セルの高いノイズマージンを持たせる為、個々の配線セルを微細化させることが可能である。

【0008】同一又は同等の機能を有する要素には同様の符号で示された添付図面と共に、以下に説明した本発明の現時点で好適な実施態様により本発明に対するより深い理解が得られるであろう。

【0009】

【発明の実態の形態】本発明の新規な特徴については、図1及び図2に示されるような従来技術を参照することによってより深い理解が得られるであろう。図1は従来の型MxNのSRAMアレイ100のブロック図である。アレイ100にはm本の行とn本のカラム(列)に配列された複数の配線セル110が含まれる。個々の配線セル110は、相互排他的な2つの自己保持的動作状態の1つにおける動作により特徴づけられるビット値を保持する。動作状態の各々は、2個の可能なバイナリビット値、'0'又は'1'のうちの1つを定義する。従来技術のSRAMアレイ100は差動回路技術を用いて実現される。個々の配線セル110には、本明細書においてそれぞれ駆動1/Oポート112及び反転1/Oポート114として示される1対の差動入力/出力(1/O)ポート112、114が設けられ、それらは互いに反転した電圧レベルを常に保持する。

【0010】同一のカラム中にある配線セル110の各々は、CL1とCL1'からCLnとCLn'のカラム線0からn)として示されている共通の差動ビット線対C1、CL'を共用している。配線セル110の各々は、位置的にWL1からWLnとして示されるワード線番号WLに呼応して、その差動入力/出力ポート112、114をそれぞれのカラムの差動ビット線対C1、CL'と結合する。カラム選択回路(図示せず)は、読み取る又は書き込むべき特定のセルの差動ビット線対C1、CL'を選択する。ワード選択回路(図示せず)は、所望の配線セル110のワード線番号WLを活性化する。最も簡単な実施態様においては、セルアレイの同じ行にワード中の個々のビットがある。他の構成においては、ビット誤り率を低減する為、所定のワードの個々のビットはSRAMアレイの異なる場所にある。特定の配線セルの読み取りには、セルのそれぞれの差動1/Oポート1

数のアクセストランジスタがアレイ中の個々の配線セル200に選択的にアドレスし、アクセスする為には使用される。アクセストランジスタN3は交差結合したインパータの出力D1'に接続した1つのアクティブ端子を有する。アクセストランジスタN4は交差結合したインパータの出力D1に接続した1つのアクティブ端子を有する。図示の相補型カラム線CL、CL'の単一对のような、複数の相補型カラム線対は、同じカラム線にある配線セル200各々のアクセストランジスタN3、N4それぞれのアクティブ端子に各々接続される。ワード線番号WLはアクセストランジスタN3、N4のゲートに接続される。

【0016】配線セル200は、ワード線番号WLを活性化してインパータ出力D1、D1'をそれぞれのカラム線CL、CL'に接続することにより読み取られる。配線セル200は、まず選択された相補型論理電圧をカラム線CL、CL'上に印加し、そしてワード線番号WLを活性化してこれらの論理電圧をインパータ出力D1、D1'に接続することにより書き込まれる。これにより出力D1、D1'は選択された論理電圧となり、セル200への電源供給が解放し、又は配線セル200が再書き込まれるまでこれが保持される。

【0017】配線セル200が安定であると考えられるのは、それが2つの異なる出力電圧に対する2つの安定状態、即ち自己保持的動作状態を有する為である。外部からの刺激を受けなければ配線セル200はその2つの動作状態のうちの1つだけで継続的に動作する。電源を受け続ける限りにおいて配線セル200の動作状態に於いて安定した出力電圧を保持する為の内部フィードバックを有する。配線セル200により生成される2つの可能な出力電圧は、一般的に高及び低回路供給電圧VDD、VSSに対応する。高及び低回路供給電圧VDD、VSSの間で出力電圧は、通常は配線セル200の電源を入れた後のわずかな時間の間、及び一つの動作状態からもう一方の動作状態に移移する間にしか発生しない。

【0018】従来のSRAMデザインでは、シングルエンド形セルデザインよりも高い耐ノイズ性上セル安定性を提供する為には差動回路技術が採用されている。シングルエンド形配線セルデザインにおいては、1セルは単一のカラム線と単一のアクセストランジスタを介して読み取られ、または書き込まれる。しかしながら、シングルエンド形配線セルデザインには問題がある。もし所定の配線セルが、例えばセル200中のD1のような1/Oポートのみから、例えばN4のような単一のアクセストランジスタを介してアクセスされるとすると、セルが論理レベル(すなわち'0')を記憶している場合、セル200の読み取り動作ではその記憶された値は不安定性にさらされることになる。ビット線CLは高い電荷にプレチャージされている為、アクセストランジスタN4が読み取り動作中にONする時、電荷は1/OポートD

1に接続されてインパータ202がフリップ(flip)する原因となり、従ってインパータ204がフリップし、これによってセル200に記憶された値が論理レベル(すなわち'0')から論理高レベル(すなわち'1')へとフリップしてしまふ。この好ましくない効果を回避する為、一般的に2つのことが行われている。第1には、NFEET N2、N4のサイズを、読み取り動作中に1/Oポート(すなわちD1)に累積する電荷がインパータ202をフリップさせるには不十分となるように設計することである。この条件に合わせる、論理高レベル(すなわち'1')の書き込みは不可能となる。第2にはインパータ204への入力、これも高い電荷をプレチャージされた差動ビット線CL'へと同時に結合することである。これは、読み取り動作中に1/OポートD1を論理高レベル(すなわち'1')に保持する助けとなり、インパータ204のフリップを防ぐ。論理高レベル(すなわち'1')のD1への書き込み動作中、差動ビット線CL'は論理低レベル(すなわち'0')となり、1/OポートD1'を同時に論理低レベルへと結合する。

【0019】差動配線セルデザインの特長を得る為、カラム線に2本のカラム線CL、CL'、従って1配線セルあたりに2個のアクセストランジスタN3、N4を設けるという特性が私にわっている。何百万もの配線セルからなるSRAMアレイにあっては、このスペースの特性は益々増大となり、よってシングルエンド形配線セルデザインを実現する方法を望む声が高まっているのである。

【0020】図3はSRAMメモリのカラム300の略図であり、本発明によるシングルエンド形配線セルデザインを示している。図3では同一カラムの配線セル310が、各々共通の単一カラム線(以後ビット線B1と称する)を共用する310a及び310bとして示されている。配線セル310aの各々は、インパータ302aを形成するように配されたNチャネル形駆動トランジスタN312a及びPチャネル形負荷トランジスタP312aと、インパータ304aを形成するように配されたNチャネル形駆動トランジスタN314a及びPチャネル形負荷トランジスタP314aを含む。

【0021】インパータ302aは駆動トランジスタN312aと負荷トランジスタP312aのゲートにより形成されるインパータ入力D<sub>in,a</sub>を有する。インパータ302aは駆動トランジスタN312a及び負荷トランジスタP312aのドレインにより形成されるインパータ出力D<sub>out,a</sub>を有する。インパータ304aは駆動トランジスタN314a及び負荷トランジスタP314aのドレインにより形成されるインパータ出力D<sub>out,a</sub>を有する。



第2のインバータ出力 ( $D_{out\_a}$ 、 $D_{out\_b}$ ) と前記低基準電圧 (VSS) との間にドレインソースで結合される第4のFET (N312a、N312b) とから成り、前記第2のインバータ入力 ( $D_{in\_a}$ 、 $D_{in\_b}$ ) が前記第3のFET (P312a、P312b) 及び前記第4のFET (N312a、N312b) 各々のゲートに結合され、前記第1のインバータ出力 ( $D_{out\_a}$ 、 $D_{out\_b}$ ) が前記第2のインバータ入力 ( $D_{in\_a}$ 、 $D_{in\_b}$ ) に結合され、前記第2のインバータ出力 ( $D_{out\_a}$ 、 $D_{out\_b}$ ) が前記第1のインバータ入力 ( $D_{in\_a}$ 、 $D_{in\_b}$ ) に結合される、上記1項から5項の何れかの記憶メモリ。

[0040] 7. 前記切り替え手段 (N5a、N5b) が前記1/Oポート ( $D_{out\_a}$ 、 $D_{out\_b}$ ) と前記ビット線 (BL) との間にドレインソースで結合され、前記選択信号 (WL) に結合されるゲートを有するFETを含む、上記1項から6項の何れかの記憶メモリ。

[0041] 8. 各々の記憶セル (310a、310b) が同じカラム (300) の要素を成し、共通のビット線 (BL) に切り替え可能に結合される入力出力 (1/O) ポート ( $D_{out\_a}$ 、 $D_{out\_b}$ ) を含む複数の記憶セル (310a、310b) と、ドレインードレインの両方で高基準電圧 (VDD) と低基準電圧 (320) との間に結合される第1のNPNFET (N314a、N314b) 及び第1のPPFET (P314a、P314b) から成る第1のインバータ (304a、304b) と、前記低基準電圧 (320) が低基準電圧 (VSS) に切り替え可能に結合され、前記第1のインバータ (304a、304b) に結合されて双安定フリップフロップを形成する第2のインバータ (302a、302b) とから成るスタティックランダムアクセスメモリ (SRAM) アレイにおいて、前記記憶セル (310a、310b) に前記高基準電圧 (VDD) の書き込みの前に第1のインバータ (304a、304b) の前記第1

のNPNFET (N314a、N314b) を弱める為の方法であって、前記低基準電圧 (320) が前記絶縁機構 (340) のしきい電圧を越えないように前記低基準電圧 (320) をクランプ (350) するステップと、前記複数の記憶セル (310a、310b) のいずれかに低基準電圧 (VSS) の書き込み、もしくは読み取りの間、前記低基準電圧 (320) を前記低基準電圧 (VSS) に結合するステップと、前記複数の記憶セル (310a、310b) のいずれかに前記高基準電圧 (VDD) の書き込みの間は前記低基準電圧 (320) を前記低基準電圧 (VSS) から絶縁するステップとから成る、方法。

[0042] 【発明の効果】本発明により、読み取り動作中の安定性と書き込み動作中の高速性を併し得るシングルエンド形記憶セルデザインが提供される。

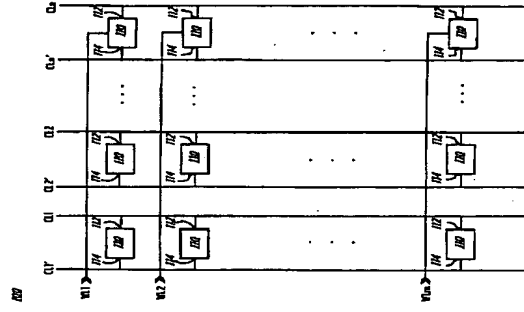
【図面の簡単な説明】  
【図1】従来技術によるSRAMアレイの概略図である。

【図2】従来技術による従来型SRAMセルのブロック図である。

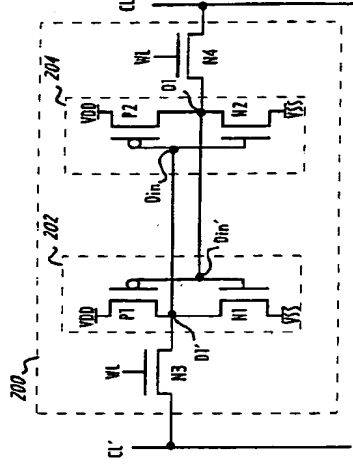
【図3】本発明による記憶セルの概略図である。

【符号の説明】  
100 SRAMアレイ  
200 6トランジスタスタティック読み取り/書き込み記憶セル  
302a、302b、304a、304b CMOSインバータ  
310a、310b 記憶セル  
320 低基準電圧  
340 絶縁機構  
350 クランプ装置  
D350 ダイオード  
Z350 ツェナーダイオード

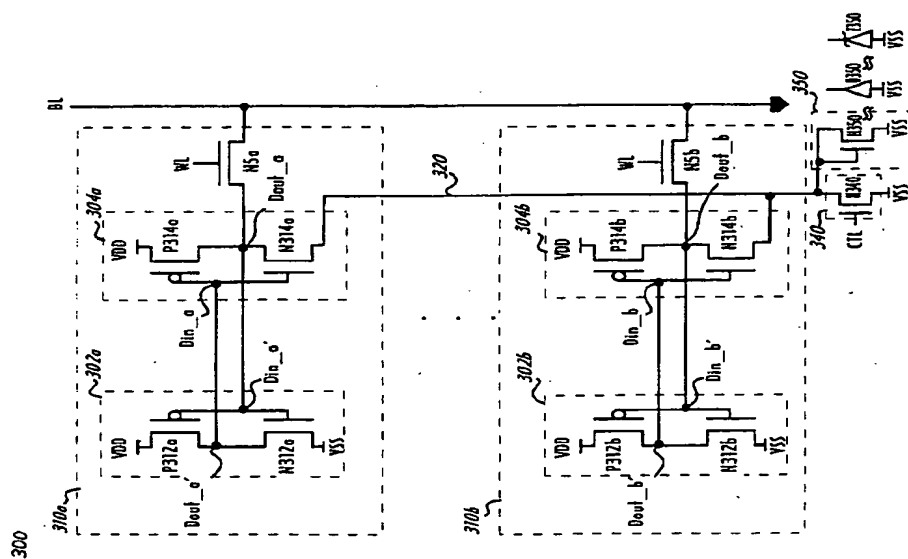
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ドナルド・アール・ウェイス  
アメリカ合衆国コロラド州80525、フォー  
ト・コリンズ、モッキンバード・ドライ  
ブ・7951